

?S PN=JP 11067961

S8

1 PN=JP 11067961

?T S8/5

8/5/1

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

012433128 **Image available**

WPI Acc No: 1999-239236/199920

XRAM Acc No: C99-070236

XRPX Acc No: N99-178502

Multilayer printed circuit for CPU - has chip capacitor formed on copper

layer pattern which is formed on substrate

Patent Assignee: IBIDEN CO LTD (IBIG)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11067961	A	19990309	JP 97227232	A	19970809	199920 B

Priority Applications (No Type Date): JP 97227232 A 19970809

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11067961	A		6	H01L-023/12	

Abstract (Basic): JP 11067961 A

NOVELTY - A copper layer pattern is formed on a laminated sheet (120). A pair of laminated sheets (120, 122) are formed on upper and lower surfaces of a substrate (20), respectively. A chip capacitor is formed on copper layer pattern.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for manufacturing method of multilayered printed circuit.

USE - For CPU.

ADVANTAGE - The distance of wiring is reduced, as the chip capacitor is formed on the copper layer pattern. A high capacitance is obtained, as ceramic of high dielectric constant is used.

DESCRIPTION OF DRAWING - The figure shows manufacturing process of multilayer printed circuit. (20) Substrate; (120, 122) Laminated sheets.

Dwg.2/5

Title Terms: MULTILAYER; PRINT; CIRCUIT; CPU; CHIP; CAPACITOR; FORMING; COPPER; LAYER; PATTERN; FORMING; SUBSTRATE

Derwent Class: A85; L03; U14; V04

International Patent Class (Main): H01L-023/12

International Patent Class (Additional): H01L-023/50; H05K-003/46

File Segment: CPI; EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-67961

(43)公開日: 平成11年(1999)3月9日

(51) Int.Cl.⁶

識別記号

FI

H0.1 L 23/12

H0 1-L 23/12

N

23/50

23/50

P

H O 5 K 3/46

H05K 3/46

Q.

T.

B

審査請求 未請求 請求項の数 3 FD (全 6 頁)

(21)出願番号

特願平9-227232

(22) 出願日

平成9年(1997)8月9日

(71)出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72)発明者 平松 靖二

岐阜県揖斐郡揖斐川町北方1-1 イビデ
ン株式会社大垣北工場内

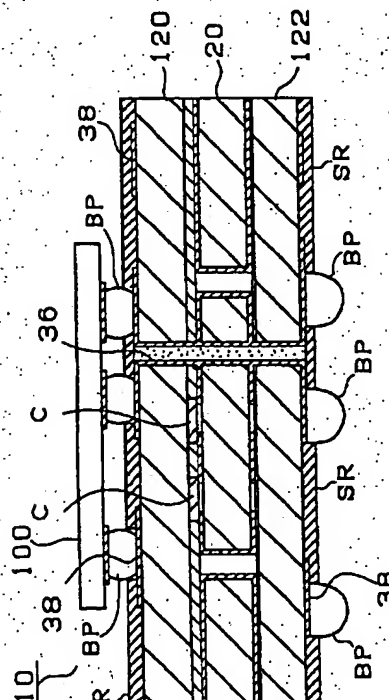
(74)代理人 弁理士 田下 明人 (外1名)

(54)【発明の名称】 多層プリント配線板及び多層プリント配線板の製造方法

(57) 【要約】

【課題】 コンデンサから瞬間的に大電流を供給することができる多層プリント配線板及び多層プリント配線板の製造方法を提供する。

【解決手段】 プリント配線板は、内層銅パターン28を形成した基板20の上面と下面に銅張り積層板120、122を積層することにより形成され、該多層プリント配線板10に形成された開口部10Aに集積回路チップ100を收容する。基板20上に形成された内層銅パターン28には、セラミックから成るチップコンデンサCが実装されている。このため、チップコンデンサCから集積回路100までの配線長が短くなり、該配線のインダクタンス分を低下させれるので、集積回路100へ瞬時的に大電流を供給することができる。



【特許請求の範囲】

【請求項1】 層間絶縁層を介在させて複数の導体回路を積層してなる多層プリント配線板において、内層の導体回路にチップコンデンサを実装したことを特徴とする多層プリント配線板。

【請求項2】 前記層間絶縁層が樹脂からなり、チップコンデンサが誘電材料としてセラミックを用いることを特徴とする請求項1のチップコンデンサ。

【請求項3】 樹脂基板を積層するプリント配線板の製造方法において、
第1の樹脂基板上に導体回路を形成する工程と、
該第1樹脂基板上に形成された導体回路にチップコンデンサを実装する工程と、
該導体回路の上に、該チップコンデンサの形状に相当する開口の形成された層間絶縁フィルムを載置する工程と、
前記層間絶縁フィルムの上に第2の樹脂基板を載置し、前記1の樹脂基板と前記第2樹脂基板とを接着させる工程と、を有することを特徴とする多層プリント配線板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、コンデンサを備える多層プリント配線板及び該多層プリント配線板の製造方法に関するものである。

【0002】

【従来の技術】CPU等の集積回路チップを載置するパッケージを構成する多層プリント配線板には、コンデンサが設けられることがある。即ち、高速化に伴い、CPUが瞬間的に大きな電流を必要とするために、多層プリント配線板にコンデンサを設け、該コンデンサに電荷を蓄えておき、大電流を供給できるようにしている。

【0003】ここで、セラミックの多層線板においては、図5(A)に示すように絶縁層250の両面に導体層252、254を形成することで、コンデンサとしていた。一方、樹脂基板を用いる多層プリント配線板においては、図5(B)に示すように、多層プリント配線板の表面にチップコンデンサCを載置していた。これは、該多層プリント配線板は、樹脂基板にて構成してあり、樹脂の誘電率がセラミックと比較して低いため、樹脂基板の上面と下面に導体層を設けることで多層プリント配線板内部にコンデンサを形成しても、高い容量を得ることができないためである。

【0004】

【発明が解決しようとする課題】しかしながら、図5(B)に示すように多層プリント配線板の表面にチップコンデンサCを配設すると、該チップコンデンサCから集積回路チップ100への距離が離れ、該集積回路チ

を大きくすることが困難であった。

【0005】本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、コンデンサから瞬間的に大電流を供給することができる多層プリント配線板を提供することにある。

【0006】

【課題を解決するための手段】請求項1の発明は、上記目的を達成するため、層間絶縁層32を介在させて複数の導体回路28、38を積層してなる多層プリント配線板において、内層の導体回路28にチップコンデンサCを実装したことを技術的特徴とする。

【0007】また、請求項2では、請求項1において、前記層間絶縁層32が樹脂からなり、チップコンデンサCが誘電材料としてセラミックを用いることを技術的特徴とする。

【0008】請求項3の発明は、上記目的を達成するため、樹脂基板20、120、122を積層する多層プリント配線板の製造方法において、第1の樹脂基板20上に導体回路28を形成する工程と、該第1樹脂基板上に形成された導体回路28にチップコンデンサCを実装する工程と、該導体回路28の上に、該チップコンデンサCの形状に相当する開口32Aの形成された層間絶縁フィルム32を載置する工程と、前記層間絶縁フィルム32の上に第2の樹脂基板120を載置し、前記第1樹脂基板20と該第2の樹脂基板120とを接着させる工程と、を有することを特徴とする。

【0009】請求項1では、内層の導体回路にチップコンデンサを実装してあるため、該多層プリント配線板に搭載される集積回路までの配線の距離が短くなり、該配線のインダクタンス分を低下させられるため、該集積回路へ瞬時に大電流を供給することができる。

【0010】請求項2では、チップコンデンサの誘電材料として高誘電率のセラミックを用いるため、高い容量を得ることができる。

【0011】請求項3では、導体回路の上に、該チップコンデンサの形状に相当する開口の形成された層間絶縁フィルムを載置して、第1樹脂基板と第2樹脂基板とを接着するため、厚みのあるチップコンデンサを内層導体回路に実装して多層プリント配線板を形成することが可能となる。

【0012】

【発明の実施の形態】以下、本発明の第1実施形態に係る多層プリント配線板について図を参照して説明する。まず、多層プリント配線板10の構成について、図3を参照して説明する。この第1実施形態のプリント配線板は、内層銅パターン（内層導体回路）28を形成した基板20の上面と下面に、銅張り積層板120、122を積層することにより形成され、該多層プリント配線板に形成された開口部100Aに集積回路チップ100を収容

ジスト層をDMTGで溶解現像し、基板20上に導体回路パターン部の抜けたメッキ用レジストを形成し、更に、超高圧水銀灯にて露光し、その後、加熱処理を行い、層間絶縁層60の上に線間絶縁層となる永久レジスト62を形成する(図4(J))。

【0025】上記永久レジスト62の形成された基板20に、予めめっき前処理(具体的には触媒核の活性化)を施し、その後、無電解銅めっき浴による無電解めっきによって、レジスト非形成部に厚さ15 μ m程度の無電解銅めっき64を析出させて、外層銅パターン70、バイアホール72を形成することにより、アディティブ法による導体層を形成する(図4(K))。

【0026】このようにしてアディティブ法による導体層を形成した後、上記工程を繰り返して、層間絶縁層、外層銅パターンから成る導体層(図示せず)をビルトアップすることにより、多層プリント配線板を完成する。

【0027】

【発明の効果】以上のように、請求項1では、内層の導体回路にチップコンデンサを実装してあるため、該多層プリント配線板に搭載される集積回路までの配線の距離が短くなり、該配線のインダクタンス分を低下させれるため、該集積回路に瞬時に大電流を供給することができる。

【0028】請求項2では、チップコンデンサの誘電材料として高誘電率のセラミックを用いるため、高い容量を得ることができる。

【0029】請求項3では、導体回路の上に、該チップコンデンサの形状に相当する開口の形成された層間絶縁フィルムを載置して、上層の樹脂基板を接着するため、

厚みのあるチップコンデンサを内層導体回路に実装して多層プリント配線板を形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る多層プリント配線板の製造を示す行程図である。

【図2】本発明の第1実施形態に係る多層プリント配線板の製造を示す行程図である。

【図3】第1実施形態の多層プリント配線板の構成を示す説明図である。

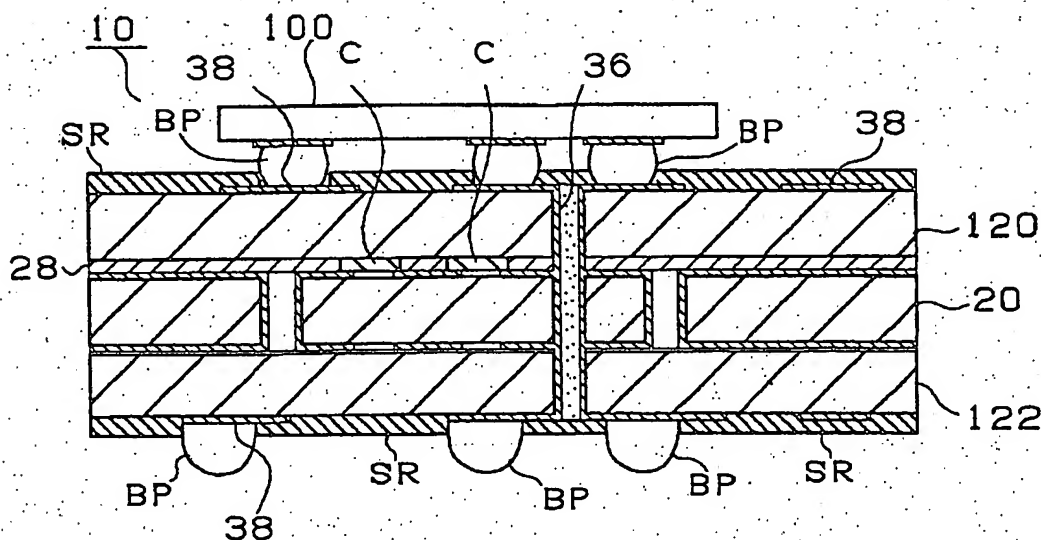
【図4】本発明の第2実施形態に係る多層プリント配線板の製造を示す行程図である。

【図5】図5(A)は、従来技術に係るセラミック多層配線板の構成を示す説明図であり、図5(B)は、従来技術に係る樹脂製多層プリント配線板の構成を示す説明図である。

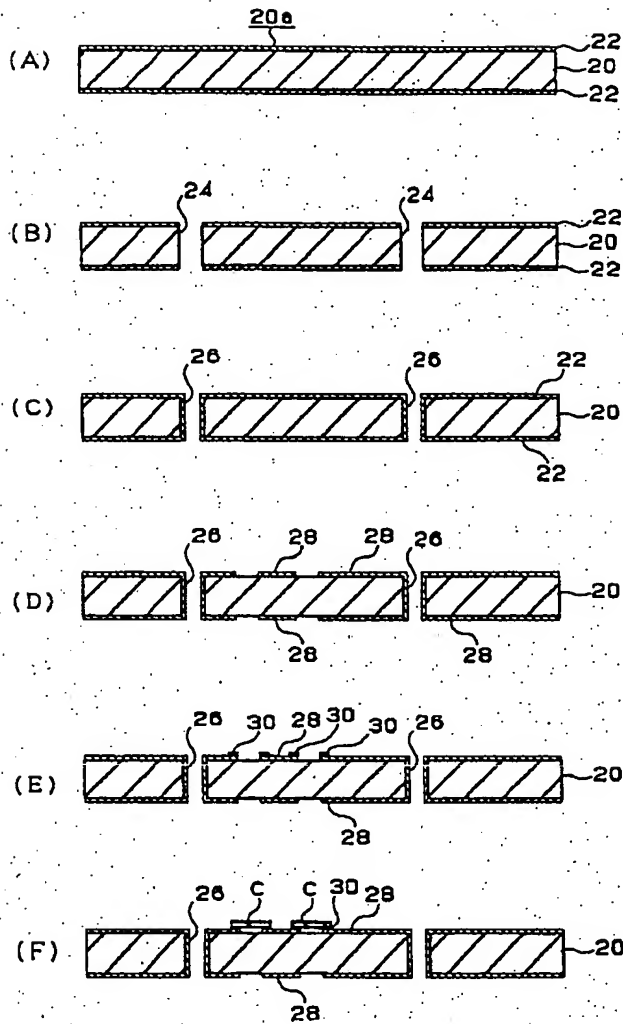
【符号の説明】

- 20 基板
- 22 銅箔
- 28 内層銅パターン
- 32 プリプレグ積層体
- 32A 開口部
- 36 スルーホール
- 38 外層銅パターン
- 60 層間絶縁層
- 72 バイアホール
- 70 外層銅パターン
- 100 集積回路チップ
- 120、122 片面銅張り積層板
- C コンデンサ

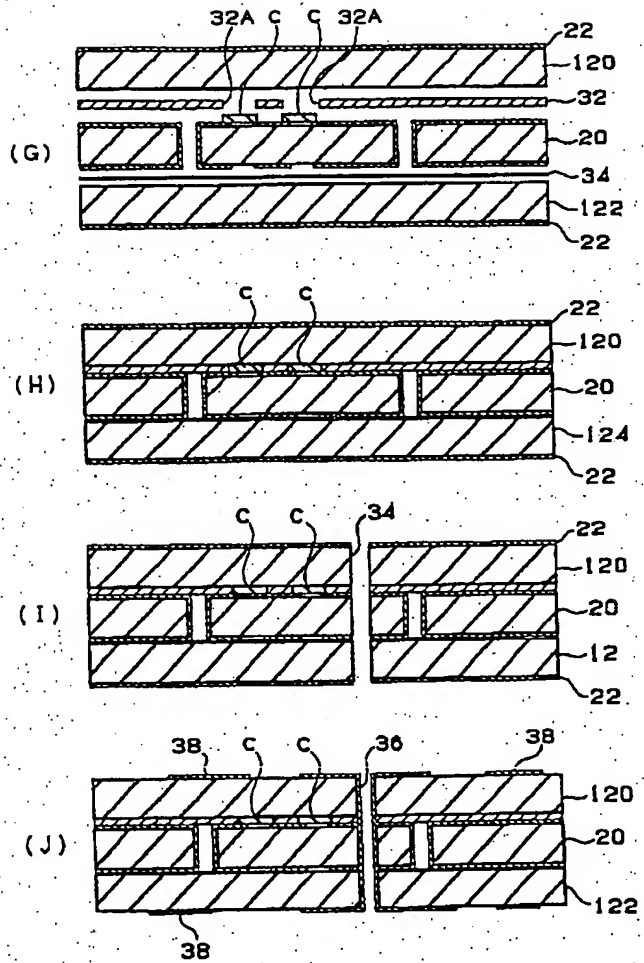
【図3】



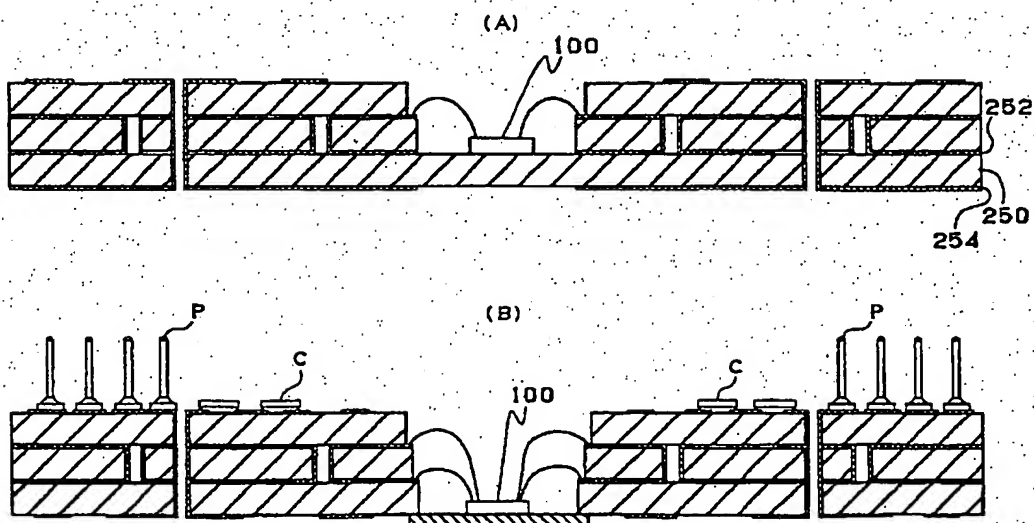
【図1】



【図2】



【図5】



【図4】

